

F.03ES.019.1

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-67950

(43)公開日 平成5年(1993)3月19日

(51)Int.Cl.<sup>5</sup>

H 0 3 K 5/08

識別記号

庁内整理番号

F I

技術表示箇所

E 7402-5 J

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号

特願平3-226083

(22)出願日

平成3年(1991)9月5日

(71)出願人 000002325

セイコー電子工業株式会社

東京都江東区亀戸6丁目31番1号

(72)発明者 小林 健一

東京都江東区亀戸6丁目31番1号 セイコ

ー電子工業株式会社内

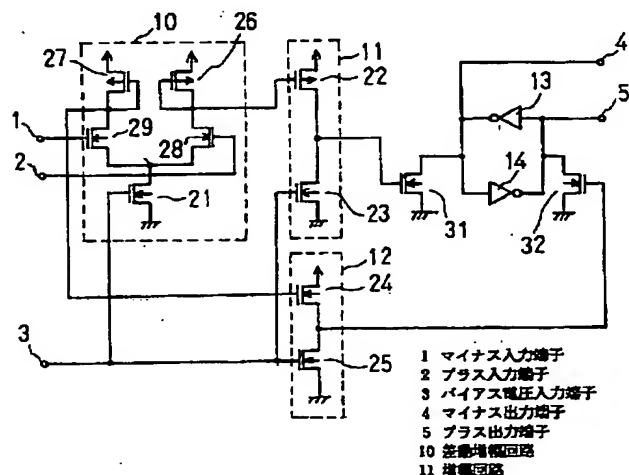
(74)代理人 弁理士 林 敬之助

(54)【発明の名称】 コンパレータ

(57)【要約】

【目的】 低消費電流で応答速度が速く、ICとして集積した場合にはレイアウト面積の小さいコンパレータが得られる。

【構成】 差動増幅回路10の正出力端子と負出力端子がそれぞれ増幅回路11および12を通して、MOSトランジスタ31および32のゲートに接続され、このMOSトランジスタがインバータ13および14の2つのたすきがけ接続により構成されるラッチ回路をそれぞれ反転させるように接続されている。



**【特許請求の範囲】**

**【請求項 1】** 2つの入力電圧の電位差を増幅する差動増幅回路の、正出力端子と負出力端子がそれぞれ増幅回路に接続され、前記増幅回路の出力端子が、それぞれMOSトランジスタのゲートに接続され、前記MOSトランジスタのドレインは、それぞれ2つのインバータのたすきがけ接続によって構成されるラッチ回路に接続されていることを特徴とするコンパレータ。

**【発明の詳細な説明】****【0001】**

**【産業上の利用分野】** この発明は、2つの入力電圧の電位の大小を判定し、“0”または“1”の論理振幅の出力信号を出力するコンパレータに関し、入力から出力まで完全に差動で動作するコンパレータに関する。

**【0002】**

**【従来の技術】** 従来、2つの入力電圧の電位の大小を判定するコンパレータにおいて、電源ノイズの影響を少なくしたり、互いに反対の出力が必要な場合、例えば図2に示すような完全差動型のコンパレータが使われていた。このコンパレータは、2つの入力電圧を差動増幅回路10で増幅し、この差動増幅回路10の2つの互いに反対の出力を、波形整形のため増幅回路11および12で増幅し、論理レベル振幅を得るためのインバータへ接続していた。

**【0003】**

**【発明が解決しようとする課題】** 従来の回路において応答速度は、増幅回路11および12の駆動用MOSトランジスタ22および24と定電流負荷MOSトランジスタ23および25それぞれの電流駆動能力で決定される。簡単のため、いまMOSトランジスタ22、24、26、27がすべて等しいチャネル幅、チャネル長であるとする、MOSトランジスタ22および24の最大電流駆動能力は、差動増幅回路10の入力MOSトランジスタ28または29のどちらかがカットオフした場合であり、例えば、MOSトランジスタ28がカットオフしていれば、MOSトランジスタ21によるバイアス電流は、MOSトランジスタ27へ流れるため、MOSトランジスタ27と24のカレントミラー回路により、MOSトランジスタ24は、MOSトランジスタ21によるバイアス電流と同じ電流が流れることになる。すなわち、MOSトランジスタ22および24の最大電流は、MOSトランジスタ21のバイアス電流に等しい。定電流負荷MOSトランジスタ23および25の電流は、いま、MOSトランジスタ22、24、26、27のトランジスタサイズがすべて等しいと仮定していることから、MOSトランジスタ21のバイアス電流の2分の1となる。これは、プラス入力端子2とマイナス入力端子1の電位が等しい平衡状態で回路を安定的に動作させるための条件である。MOSトランジスタ21のバイアス電流は、半分ずつMOSトランジスタ26および27に

流れるため、トランジスタサイズの等しいMOSトランジスタ22および24で最も安定なバイアス電流は、MOSトランジスタ26、27と同じ電流でバイアスしたときであり、MOSトランジスタ21の半分の電流である。

**【0004】** 以上のように、MOSトランジスタ22、24、26、27がすべて等しいサイズであるとき、回路の応答速度を決定する増幅回路11および12の速度は、MOSトランジスタ22、24が定電流負荷MOSトランジスタ23、25の2倍の電流供給能力を持っているため、定電流負荷MOSトランジスタ23および25のバイアス電流によって制限されている。さらに、MOSトランジスタ26、27とMOSトランジスタ22、24がそれぞれ異なるサイズのときでも、回路の安定動作条件から同様に言える。

**【0005】** 以上の議論から、回路の反応速度は増幅回路のバイアス電流が制限しており、反応速度を速めるためには、バイアス電流を大きくする必要があった。しかし、バイアス電流を大きくすることにより、回路全体の消費電流が増えるばかりでなく、MOSトランジスタ23、25および回路の安定動作の条件から、MOSトランジスタ22、24のすべてのサイズを大きくしなければならず、ICとして集積化した場合には面積的にも不利であった。この発明は低消費電流で、応答が速くICとして集積化した場合にも、小さい面積でレイアウト可能なコンパレータを得ることを目的としている。

**【0006】**

**【課題を解決するための手段】** 以上の課題を解決するため、本発明では図1において増幅回路11および12が、MOSトランジスタ31および32のゲートを駆動し、MOSトランジスタ31および32が、インバータ13および14のたすきがけ接続によって構成されるラッチ回路を反転させるようにした。

**【0007】**

**【作用】** 本発明では、図1における増幅回路11および12がMOSトランジスタ31および32を駆動している。先に議論したように、増幅回路11および12のMOSトランジスタ22および24は、MOSトランジスタ23および25の2倍の電流駆動能力があり、立ち下がりよりも立ち上がりの方が速い。MOSトランジスタ31および32は、この速い立ち上がりに反応して、インバータ13および14のたすきがけ接続によるラッチ回路を反転させるが、この回路ではMOSトランジスタ31および32のどちらかのドレイン電圧がインバータの反転電圧を越えると、回路に正帰還がかかり、ラッチの反転がさらに加速される。従って、増幅回路11および12のバイアス電流が小さくても、すなわち、より少ない消費電流で応答速度の速いコンパレータが得られる。

**【0008】**

【実施例】以下に、この発明の実施例を図面に基づいて説明する。図1において、2つの入力電圧の電位差を増幅する差動増幅回路10の正出力端子と負出力端子がそれぞれ増幅回路11および12に接続され、増幅回路10の出力端子が、それぞれMOSトランジスタ31および32のゲートに接続され、前記MOSトランジスタ31および32のドレインは、それぞれ2つのインバータ13および14のたすきがけ接続によって構成されるラッチ回路に接続されている。

【0009】差動増幅回路は、2つの入力端子が第1および第2のMOSトランジスタ28、29のゲートにそれぞれ接続され、第1および第2のMOSトランジスタ28、29のソースは共に第3のMOSトランジスタ21のドレインに接続され、第3のMOSトランジスタ21のゲートは、一定のバイアス電圧によりバイアスされ、第3のMOSトランジスタのソースは接地端子に接続され、第1および第2のMOSトランジスタ28、29のドレインと電源端子の間には、それぞれ負荷素子26、27が接続されている。

【0010】また、負荷素子は第1および第2のMOSトランジスタと反対の導電型の第4および第5のMOSトランジスタ26、27で、第4および第5のMOSトランジスタ26、27のドレインとゲートは、それぞれ第1および第2のMOSトランジスタ28、29のドレインに接続され、第4および第5のMOSトランジスタ26、27のソースは、電源端子に接続されている。

【0011】このように、増幅回路の出力が1つのMOSトランジスタを駆動し、このMOSトランジスタが、2つのインバータのたすきがけ接続によって構成されるラッチ回路を反転させるように構成することによって、少ない消費電流で応答速度の速いコンパレータを構成することができる。これは、増幅回路11および12の負荷がMOSトランジスタ31および32の1つだけで軽くて済むこと、また、MOSトランジスタ31および32は、増幅回路11または12の出力が立ち上がるときだけに反応して、ラッチを反転させるため、増幅回路のバイアス電流を大きくして、立ち下がりも速くなるようにする必要がないこと、さらに、MOSトランジスタ31および32のドレイン電圧が、インバータの反転しきい値電圧を過ぎると、ラッチに正帰還がかかり、応答速度がさらに加速されることの3点による。さらに、本発明では増幅回路11および12のバイアス電流を大きくしなくても応答時間が速いため、ICに集積化したときに小さい面積で良く、コスト、歩留りの点で有利である。

【0012】図3は、本発明の実施例の図1における、差動増幅回路の別の実施例で、図1の負荷素子が2つの入力端子に接続される、第1および第2のMOSトランジスタ40、41と反対の導電型の第4および第5のMOSトランジスタ42、43で、第4および第5のMOSトランジスタ42、43のドレインは、第1および第2のMOSトランジスタ40、41のドレインに接続され、第4および第5のMOSトランジスタ42、43のゲートは、一定のバイアス電圧によりバイアスされ、第4および第5のMOSトランジスタ42、43のソースは、電源端子に接続されている。

【0013】この回路構成とすることにより、差動増幅回路の利得が図1における差動増幅回路の利得よりも大きいため、スピードの点で有利である。以上の実施例の図1、図3において、NチャネルMOSトランジスタとPチャネルMOSトランジスタをそれぞれ逆にした構成としても、本発明と同じ効果が得られることは言うまでもない。

#### 【0014】

【発明の効果】以上説明したように、本発明は差動増幅回路の正出力端子と、負出力端子をそれぞれ増幅回路に接続し、増幅回路の出力をそれぞれMOSトランジスタのゲートに接続し、このMOSトランジスタで、インバータ2つのたすきがけ接続によるラッチ回路を反転させるように構成することで、低消費電流で応答速度の速い、またICに集積化した場合にも、少ない面積でレイアウト可能なコンパレータを構成することに効果がある。

#### 【図面の簡単な説明】

【図1】この発明にかかるコンパレータの構成図である。

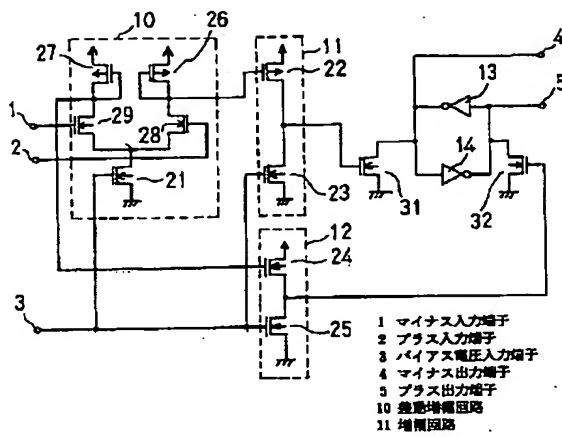
【図2】従来のコンパレータの構成図である。

【図3】この発明にかかる別の差動増幅回路の回路図である。

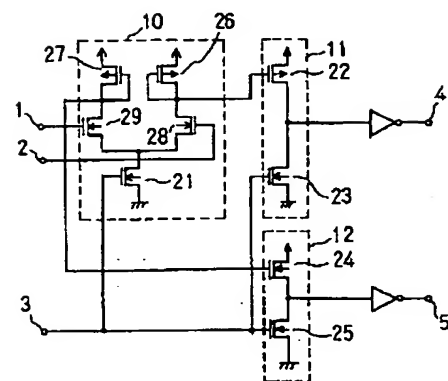
#### 【符号の説明】

- 1 マイナス入力端子
- 2 プラス入力端子
- 3、8 バイアス電圧入力端子
- 4、7 マイナス出力端子
- 5、6 プラス出力端子
- 10 差動増幅回路
- 11、12 増幅回路
- 13、14 インバータ
- 21、22、23、24、31、32、40、41、42、43 MOSトランジスタ

【図 1】



【図 2】



【図 3】

